

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

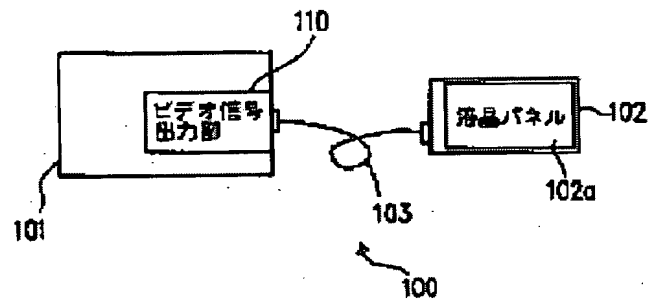
LIQUID CRYSTAL DISPLAY SYSTEM

Patent number: JP9081081
Publication date: 1997-03-28
Inventor: UNO TAKAAKI; HIRAYAMA YASUHIRO; MIZUMOTO YUKIHIRO; HORINO SHINJI
Applicant: SHARP CORP
Classification:
- **international:** G09G3/36; G02F1/133; G02F1/133; H04N5/66
- **european:**
Application number: JP19950233067 19950911
Priority number(s):

Abstract of JP9081081

PROBLEM TO BE SOLVED: To inexpensively realize a constant and easy to see display with a high precision liquid crystal display by transmitting the video signal from an information processor to a liquid crystal display device in the parallel transmission of a digital video signal.

SOLUTION: An information processor 101 has an exclusive video signal output part 110 transmitting the digital output used exclusively for liquid crystal from a graphic controller LSI while keeping a digital signal as it is together with a horizontal synchronizing signal, a vertical synchronizing signal and a dot clock. Then, the output part 110 and a transmission cable 103 transmit the digital signal in parallel and with low voltage signals. Moreover, a liquid crystal display device 102 has peripheral circuits including a driving circuit to be directly driven by parallel digital RGB video signals to be supplied from the cable 103 and a liquid crystal panel 102a in which a picture display is performed by the digital video signal from the driving circuit. Thus, the constant and easy to see display is displayed by suppressing the transmission rate of the video signal and by without using a special and high-speed circuit element.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-81081

(43) 公開日 平成 9 年 (1997) 3 月 28 日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
	5 2 0			5 2 0
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平7-233067

(22) 出願日 平成 7 年 (1995) 9 月 11 日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鶴野 高明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 平山 泰弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 水本 幸弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

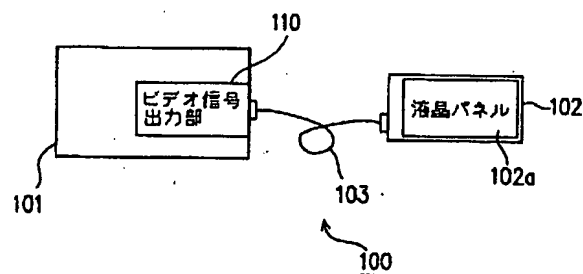
最終頁に続く

(54) 【発明の名称】 液晶ディスプレイシステム

(57) 【要約】

【課題】 液晶ディスプレイシステム 100 において、ビデオ信号の伝送レートを、特殊で高速な回路素子を使わずに抑えて、安定で、見易い表示を高精細度の液晶ディスプレイでもって実現する。

【解決手段】 情報処理装置 101 のビデオ信号出力部 110 から出力されるデジタル RGB 映像信号をデジタル信号のままパラレルで液晶表示装置 102 に伝送するようにし、液晶表示装置 102 を、パラレルのデジタル RGB 映像信号を直接受ける駆動回路により液晶パネル 102a を駆動する構成とした。



【特許請求の範囲】

【請求項1】 画像表示用信号をデジタルRGB映像信号として出力するビデオ信号出力部を有する情報処理装置と、画像表示用デジタル信号に基づいて液晶による画像表示を行う液晶表示装置と、画像表示用信号を情報処理装置から液晶表示装置へ伝送する伝送線とを備えた液晶ディスプレイシステムであって、該情報処理装置のビデオ信号出力部は、ディスプレイ装置での画像表示を制御するコントロール回路を有し、該コントロール回路から液晶表示装置専用の出力として、水平同期信号、垂直同期信号、及びドットクロックを含む同期制御用信号とともに、該デジタルRGB映像信号をデジタル信号のままパラレルで送出するものであり、該伝送線は、該デジタルRGB映像信号をパラレル伝送により液晶表示装置に供給するよう構成されており、該液晶表示装置は、該伝送線から供給されるパラレルのデジタルRGB映像信号により直接駆動される駆動回路と、該駆動回路からのデジタル信号により画像表示が行われる液晶パネルとを有するものである液晶表示システム。

【請求項2】 請求項1記載の液晶ディスプレイシステムにおいて、前記ビデオ信号出力部は、1水平走査期間毎に表示画面上の水平走査線位置を所定の順序で選択するビデオ出力側走査線選択回路と、該走査線選択回路における選択順序を、1画面毎に前の画面とは異なった順序に設定する選択順序設定回路とを有し、

1水平走査期間毎に、該走査線選択回路により設定された水平走査線位置に対応するデジタルRGB信号を出力するよう構成されており、

前記液晶表示装置は、

1画面毎に該選択順序設定回路により設定された水平走査線位置の選択順序に基づいて、1水平走査期間毎に表示画面上の水平走査線位置を所定の順序で選択するディスプレイ側走査線選択回路を有し、送られて来たデジタルRGB信号を、表示画面の、該ディスプレイ側走査線選択回路により選択された水平走査線位置上に表示するよう構成されている液晶ディスプレイシステム。

【請求項3】 請求項1記載の液晶ディスプレイシステムにおいて、

前記ビデオ信号出力部は、

1水平走査期間毎に表示画面上の異なる水平走査線位置を所定の順序で選択するビデオ出力側走査線選択回路と、

各水平走査期間の初期部分に水平同期信号に同期させて、デジタルRGB映像信号を送出するためのビデオ信号線路上に、該選択された水平走査線位置を示す行番号コード信号を出力するコード信号出力手段とを有し、

前記液晶表示装置は、該ビデオ出力部からの行番号コード信号に従って、表示画面の水平走査線位置を指定する走査線位置指定回路を有し、送られて来たデジタルRGB信号を、該走査線位置指定回路により指定された水平走査線位置上に表示するよう構成されている液晶ディスプレイシステム。

【請求項4】 請求項1記載の液晶ディスプレイシステムにおいて、

前記液晶表示装置は、

10 前記水平同期信号、垂直同期信号、及びドットクロックを検出する信号検出回路と、

該信号検出回路の出力を受け、該水平同期信号、垂直同期信号、及びドットクロックのいずれかひとつの信号が液晶表示装置に入力されないとき、該液晶表示装置における主要な複数の回路への電源の供給を、該複数の回路に対して一定の順序で停止させる電源供給制御回路とを有する液晶ディスプレイシステム。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明は液晶ディスプレイシステムに関し、特にパーソナルコンピュータ（以下、PCともいう。）やワークステーション（以下、WSともいう。）等の情報処理装置からの画像表示用出力（以下表示出力と略記する。）を用いて、液晶表示パネルにより画像表示する液晶表示システムにおいて、安定な表示と高表示品質を維持するための構成に関するものである。

【0002】

30 【従来の技術】一般に、PCやWS等の情報処理装置は、その表示出力が、主にCRT表示装置を対象とするものであり、該表示出力として、アナログのR（赤）、G（緑）、B（青）ビデオ信号、水平同期信号、及び垂直同期信号が組をなして出されるようになっている。

【0003】従来は、PCやWS等の表示出力を液晶表示装置により画像表示するシステムでは、CRT用のアナログ・ビデオ信号をアナログ増幅器で受けて、ADC（アナログ・デジタル変換器）によりパラレルのデジタル信号に変換し、液晶パネルに供給する構成を用いたものが一般的である。例えば、特開平6-289361号公報、特開平4-360381号公報、特開平6-186935号公報には、送られてくるアナログ・ビデオ信号をAD変換した信号に基づいて液晶パネルを駆動する構成が開示されている。

【0004】なお、液晶表示装置が、アナログドライバを備えているシステムでは、アナログ信号を直接液晶表示装置に供給するようにしたものもある。

【0005】ところで、上述のビデオ信号をAD変換するシステムでは、デジタル化されたビデオ信号を、その走査周波数が通常液晶パネルに適したものとするため、デジタルビデオ信号を一旦ビデオメモリに書き込んで保

持し、所定のクロック信号で読み出して、液晶パネルに供給するようにしている。ところが、この場合、表示の高精細度化が進む程、ビデオメモリへの書き込み速度が速くなるため、ビデオメモリとして、より高速で書き込み可能なものを用いる必要があり、コストアップ等を招くこととなる。このようなことから、メモリを使用しない方法も種々考えられている（特開明63-236486号公報参照）。

【0006】また、上記のようなPCやWS等からの表示出力を液晶表示装置により画像表示するシステムでは、現在のところ、液晶パネルの各画素に対応する画像信号を割り当てるためのドット・クロックを、液晶表示装置側で、水平同期信号から生成する方法が一般に採用されている（特開平7-110667号公報）。

【0007】ところが、液晶表示装置側で発生するドット・クロックが高い安定性を持ち、表示にジッタ等を生じさせないようにするには、高度な技法を必要とし、コスト高になり易い。また、上記のように液晶表示装置側でPC、WS側からの水平同期信号からドットクロックを発生する方法は、PC、WS側の水平同期周波数が用途や動作状態によって大幅に変更される場合にも対応できるようにすることが難しい。

【0008】次に、従来の画像表示技術における表示画面上での走査方法について説明する。

【0009】通常、表示画面上での走査方法は、テレビジョン（以下、TVと略記する。）信号でよく知られているように、表示画面の左側から右側に水平方向に走査する水平走査を、表示画面の上側から下側へ向けて繰り返し行って、一定時間内に1画面を構成するものであるが、従来から伝送レートを下げるために種々の工夫がなされている。

【0010】例えば、TVシステムでは、ビデオ信号の伝送レートを下げるため、走査方法としてインタレース方式が採られている。つまり、1/60秒で1枚のフレーム画面を完成するよう走査を行う方式では、1秒間に60枚のフレーム画面に相当するビデオ信号を伝送しなければならない。これに対し、最初の1/60秒で飛び越し走査により荒い画面を形成し、次の1/60秒で、飛び越した部分を走査して1枚のフレーム画面を完成するよう走査を行うインターレース方式では、1秒間に30枚のフレーム画面に相当するビデオ信号を伝送すればよいこととなり、伝送レートを下げることができる。

【0011】そして、PCにおける表示信号としても、TVシステムと同様なインタレース方式に対応したものを採用する場合もある。しかし、このようなインターレース方式の表示信号による表示画像では、僅かなフリッカが見られるため、このような表示画像は、長時間注視する作業の多い使用者には好まれない。このため、最近では、フリッカ・レスあるいはフリッカ・フリーと呼ぶ、1フレーム画面の表示サイクルを高くした走査方法

が多く採用されるようになってきている。

【0012】なお、特開平3-56993号公報には、転送するデータ量を低減するために、論理的な表示情報を物理的な情報に変換して転送する構成例も開示されている。

【0013】また、従来の液晶パネルを搭載した機器の多くがポータブル・タイプであるため、未使用時、液晶パネルのバックライトを消灯する等して電力消費を低減するようにしたものは、例えば特開平4-178723号公報に開示されているように多数見られる。

【0014】最近、PC用のCRT表示装置では、その電力消費を低減するために、DPMS（ディスプレイ・パワー・マネジメント・シグナリング）手順により、水平同期や垂直同期信号を止めて、CRT表示装置における主要な回路の電源供給を停止させる手法が一般化されつつある。

【0015】

【発明が解決しようとする課題】以下、上記従来の液晶ディスプレイシステム等における問題点について説明する。

【0016】上述したPCやWSの表示出力としては、アナログのビデオ信号が出力されていたが、高精細度表示を行うとなると、ビデオ信号の帯域幅が拡大し、コネクタや伝送線からの不要輻射増加のおそれが増大する。

【0017】この不要輻射を抑制するには、ビデオ信号の振幅を抑えることが望ましいが、ビデオ信号がアナログ信号である場合、信号の振幅を抑えることは信号雑音比の面から好ましくないという問題がある。

【0018】また、PCやWSの表示出力としてアナログ信号を伝送するシステムで、デジタル信号をビデオ入力として受け取る液晶パネルを使用する場合、必ずADCが必要であり、高精細度の表示では、特に高速のADCを用いなければならずコストアップとなるという問題がある。

【0019】さらに、ビデオ信号の伝送レートと表示レートの差を吸収するために設けられるビデオメモリは、液晶表示装置にかかるコストの大きな部分を占めることとなるという問題がある。

【0020】表示が高精細度になると、液晶パネルを駆動するドライバの動作周波数制限の問題もさらに厳しいものとなり、これを緩和する伝送方式や駆動方法が重要となってくる。

【0021】また、表示の高精細度化が進むと、ビデオ信号をドット表示用の走査周波数と同じレートで表示装置に伝送することが、次第に困難になる。

【0022】例えば伝送レートを下げる例として、テレビ信号の走査では、インターレース方式を採用しており、これにより人がフリッカを感じる限界周波数の1/2の伝送レートで実用的な表示品位を実現しているが、先述のように、画面を長時間注視する必要のある作業には、

この程度の表示品位では不適である。

【0023】他方、伝送レートを変える方法としてフレームメモリを備える方法があるが、コストアップの要因となる。従って、伝送方式の工夫によって伝送レートを下げて、実用的な表示を行う方策が必要である。

【0024】また、消費電力の低減という観点から、PCやWS分野では、CRT表示装置に対するDPMSが普及しつつあるが、液晶表示装置に対して、単純に同期信号を停止させると、液晶パネルの特性が悪化し、表示品位を損なう恐れがある。これは、液晶パネルでは、絵素に印加する電圧を一定周期で反転させる反転駆動法を用いているが、同期信号の供給が停止すると、絵素印加電圧の極性反転が行われなくなるからである。従って、液晶パネルでは、信号と電源の供給、停止には所定の手順を必要とする。

【0025】さらに、同期信号は、コネクタ及び伝送線を介して液晶表示装置に供給されるため、コネクタ抜け、線断線等による同期信号の遮断状態も想定して、同期信号が供給されない場合にも対応できるよう液晶表示装置を構成しなければならない。

【0026】そこで、このような信号停止を避けるため、従来は、液晶表示装置では、信号補充用として、自走式の疑似同期信号の生成等を行っていた。ところが、本来信号が無い状態で表示動作をさせるのは、回路の電力消費やバックライト蛍光管の寿命等の点からは無駄なものであった。言い換えると、ビデオ信号や同期信号の入力が無い場合は、電力供給を停止することが望ましいにも拘らず、同期信号の停止による不都合を回避するため、疑似同期信号の生成等を行わなければならないという問題があった。

【0027】本発明は上記のような問題点を解決するためになされたもので、ビデオ信号の伝送レートを、ビデオメモリ等の特殊で高速な回路素子を使わずに抑えることができ、これにより安定で、見易い表示を高精細度の液晶ディスプレイでもって安価に実現することができる液晶ディスプレイシステムを得ることを目的とする。また、本発明は、PC等で実使用時に生ずる、表示モードの切り替えなどによる同期信号の中断によって、液晶パネルの表示品位が長時間、損なわれたままになること等を、疑似同期信号の生成等を行うことなく防ぐことができる液晶ディスプレイシステムを得ることを目的とする。

【0028】

【課題を解決するための手段】この発明（請求項1）に係る液晶ディスプレイシステムは、画像表示用信号をデジタルRGB映像信号として出力するビデオ信号出力部を有する情報処理装置と、画像表示用デジタル信号に基づいて液晶による画像表示を行う液晶表示装置と、画像表示用信号を情報処理装置から液晶表示装置へ伝送する伝送線とを備えた液晶ディスプレイシステムである。

【0029】該情報処理装置のビデオ信号出力部は、ディスプレイ装置での画像表示を制御するコントロール回路を有し、該コントロール回路から液晶表示装置専用の出力として、水平同期信号、垂直同期信号、及びドットクロックを含む同期制御用信号とともに、該デジタルRGB映像信号をデジタル信号のままパラレルで送出するものである。

該伝送線は、該デジタルRGB映像信号をパラレル伝送により液晶表示装置に供給するよう構成されている。該液晶表示装置は、該伝送線から供給されるパラレルのデジタルRGB映像信号により直接駆動される駆動回路と、該駆動回路からのデジタル信号により画像表示が行われる液晶パネルとを有するものである。そのことにより上記目的が達成される。

【0030】この発明（請求項2）は、請求項1記載の液晶ディスプレイシステムにおいて、前記ビデオ信号出力部を、1水平走査期間毎に表示画面上の水平走査線位置を所定の順序で選択するビデオ出力側走査線選択回路と、該走査線選択回路における選択順序を、1画面毎に前の画面とは異なった順序に設定する選択順序設定回路とを有し、1水平走査期間毎に、該走査線選択回路により設定された水平走査線位置に対応するデジタルRGB信号を出力する構成とし、前記液晶表示装置を、1画面毎に該選択順序設定回路により設定された水平走査線位置の選択順序に基づいて、1水平走査期間毎に表示画面上の水平走査線位置を所定の順序で選択するディスプレイ側走査線選択回路を有し、送られて来たデジタルRGB信号を、表示画面の、該ディスプレイ側走査線選択回路により選択された水平走査線位置上に表示する構成としたものである。

【0031】この発明（請求項3）は、請求項1記載の液晶ディスプレイシステムにおいて、前記ビデオ信号出力部を、1水平走査期間毎に表示画面上の異なる水平走査線位置を所定の順序で選択するビデオ出力側走査線選択回路と、各水平走査期間の初期部分に水平同期信号に同期させて、デジタルRGB映像信号を送出するためのビデオ信号線上に、該選択された水平走査線位置を示す行番号コード信号を出力するコード信号出力手段とを有する構成とし、前記液晶表示装置を、該ビデオ出力部からの行番号コード信号に従って、表示画面の水平走査線位置を指定する走査線位置指定回路を有し、送られて来たデジタルRGB信号を、該走査線位置指定回路により指定された水平走査線位置上に表示する構成としたものである。この発明（請求項4）は、請求項1記載の液晶ディスプレイシステムにおいて、前記液晶表示装置を、前記水平同期信号、垂直同期信号、及びドットクロックを検出する信号検出回路と、該信号検出回路の出力を受け、該水平同期信号、垂直同期信号、及びドットクロックのいずれかひとつの信号が液晶表示装置に入力されないとき、該液晶表示装置における主要な複数の回路への電源の供給を、該複数の回路に対して一定の順序で停止

させる電源供給制御回路とを有する構成としたものである。

【0032】以下、本発明の作用について説明する。

【0033】この発明（請求項1）においては、情報処理装置のビデオ信号出力部から出力されるデジタルRGB映像信号をデジタル信号のままパラレルで液晶表示装置に伝送するようにしたから、ビデオ信号の伝送レートは、ビデオ信号の並列伝送により、RGB映像信号をアナログ信号として伝送する場合に比べて低減することとなる。つまり、ビデオ信号の伝送レートをビデオメモリ等の特殊で高速な回路素子を使わずに抑えることができる。

【0034】また、伝送線を伝送されるビデオ信号はデジタル信号であるため、信号レベルを下げて、例えば、振幅を1V以下にしても、信号雑音比があまり低下することはない、信号雑音比の劣化を抑えつつ不要輻射を低下させることができる。

【0035】さらに、液晶表示装置にはデジタルビデオ信号が供給されるため、ビデオ信号をアナログ信号として伝送する場合に液晶表示装置側で必要となるADCは不要であり、高精細度の表示を行う場合では、高速処理のADCが不要であることによるコストアップ面でのメリットは大きい。

【0036】また、上記伝送レートの低減により、液晶パネルを駆動するドライバの動作周波数制限の問題も解消される。

【0037】この発明（請求項2）においては、ビデオ信号出力部では、1水平走査期間毎に、走査線選択回路により設定された水平走査線位置に対応するデジタルRGB信号を出力し、しかもこの際、1画面毎に前の画面とは異なった順序に水平走査線位置を設定し、液晶表示装置では、ビデオ信号出力部側で設定された水平走査線位置の選択順序に基づいて、1水平走査期間毎に表示画面上の水平走査線位置を所定の順序で選択し、送られて来たデジタルRGB信号を、選択された水平走査線位置上に表示するようにしたので、インタレース方式において見られる僅かなフリッカ、つまり画面の揺れを解消することができる。

【0038】この発明（請求項3）においては、前記ビデオ出力部では、1水平走査期間毎に表示画面上の異なる水平走査線位置を所定の順序で選択し、各水平走査期間の初期部分に水平同期信号に同期させて、デジタルRGB映像信号を送出するためのビデオ信号線上に、該選択された水平走査線位置を示す行番号コード信号を出力し、液晶表示装置では、送られて来たデジタルRGB信号を、該ビデオ出力部からの行番号コード信号に対応する水平走査線位置上に表示するようにしたので、上記と同様、インタレース方式において見られる僅かなフリッカを解消することができる。さらに、この場合、水平走査線位置の選択順序の設定回路は、送信側のビデオ信号

出力部のみに設けているので、送信側と受信側で同じ順序パターン発生回路を持たなくてよく、送信側及び受信側それぞれの製造者が異なっても、方式だけを共通化、標準化すればよい。

【0039】この発明（請求項4）においては、液晶表示装置では、水平同期信号、垂直同期信号、及びドットクロックのいずれかひとつの信号が液晶表示装置に入力されないとき、該液晶表示装置における主要な複数の回路への電源の供給を、該複数の回路に対して一定の順序で停止させるようにしたので、同期信号やドットクロックなどの液晶表示装置への供給の停止による直流印加状態を回避することができ、液晶分子の分極等に起因する表示機能の損傷を防止することができる。

【0040】また、この際、電源投入は信号入力より早く、また電源停止は信号停止より遅くするようにすることにより、液晶表示装置の駆動回路部分を構成するICやLSIのラッチ・アップを避けることができる。

【0041】

【発明の実施の形態】まず、本発明の基本原則について説明する。

【0042】本発明に係る液晶ディスプレイシステムでは、コンピュータやワークステーション等の情報処理装置のビデオ信号出力部を、ビデオ信号、同期信号、表示部制御信号をすべて、パラレルのデジタル信号でもって送出する回路構成とし、液晶表示装置を、それらの信号をパラレル・デジタルのまま受けて画像表示するよう構成している。

【0043】このような構成の本発明では、従来方式に比較して、ビデオ信号出力側でのDAC（デジタル・アナログ変換器）、液晶ディスプレイ側でのADC（アナログ・デジタル変換器）及びビデオ・メモリ等の回路構成が不要となり、液晶ディスプレイシステムの実現にかかるコストを低減でき、経済的にメリットがある。

【0044】また、ビデオ信号を情報処理装置から液晶表示装置まで伝送する伝送経路中に、信号の変換器群を挟まないことから、ビデオ信号をその信号雑音比を大きく保持して伝送できるとともに、同期信号を安定に伝送することができる。

【0045】表示の高精細度化が進むにつれて、液晶表示装置側でその入力であるビデオ信号を処理する回路の設計が難しくなり、回路部品としても高速動作可能なものが要求されるようになるが、デジタルビデオ信号のパラレル伝送化によりこのような要求を緩和できる。

【0046】つまり、デジタルビデオ信号のパラレル伝送化により伝送線や配線の本数、部品点数の増加はあるが、デジタルビデオ信号の処理回路を、パラレル伝送されるデジタル信号をその各ビットに対応させて分割して扱う構成とすれば、各ビット毎に対応する回路部分における個々の部品、特にIC、LSI等では、その応答性能を越える周波数のデジタル信号の処理を行うことがで

きることはよく知られている。その一例としては、メモリインタリーブ方式等がある。このメモリインタリーブ方式は、例えば2つのメモリ装置を用いて交互にアクセスするものである。メモリ装置では、CPUからの読出し指令を受けた後、一定時間経過しないと実際にデータが出力されないで、上記のように2つのメモリ装置を交互にアクセスするようにすることにより、読出し指令の入力からデータの出力までの時間のロスを低減できる。

【0047】このようなデジタル信号のバラレル伝送は、周知の技術であるが、本発明は、情報処理装置からの表示出力を液晶表示装置により表示するシステムにおいて、情報処理装置から液晶表示装置へのビデオ信号の伝送を、デジタルビデオ信号のバラレル伝送とした点に特徴があり、このような液晶ディスプレイシステムにおけるビデオ信号の伝送方式は、従来の液晶ディスプレイシステムでは行われていなかった。

【0048】なお、ビデオ信号をシリアルなデジタル信号に変換して伝送することは、文字放送などで既に実用に供されているので、本発明の基本原則、つまりビデオ信号をバラレルのデジタル信号に変換して伝送するという考えは、上記文字放送におけるデジタル信号の伝送方法の延長上に位置するものである。しかしながら、P、C、WS等の表示出力としてのデジタル信号をバラレル伝送することは、一見すると、メリットが少ないと考えられること等から、従来実際に使用された例は見られない。つまり、デジタル信号のバラレル伝送では、伝送のための信号線が増えること、デジタル信号ではアナログ信号に比べて高い周波成分が含まれることから不要輻射が生じやすいこと等のデメリットが挙げられる。

【0049】また、先述したように、伝送レートを下げるため、あるいは伝送レートを高くしないために、従来のように、表示画像の走査方式として、テレビ信号と同様な単純なインタレース方式を採用するとすれば、画面全体に残る僅かなフリッカを除く必要がある。

【0050】これに対し本発明では、走査方法として、図3のように、全ての水平走査線が揃った1枚の完全な表示画面（以下、フレーム画面という。）（図3（a）参照）を、表示画面のランダムな位置に引かれた水平走査線の郡からなる画面（以下、フィールド画面という。）の複数枚により構成する走査方法を採用している。ここで、あるフレーム画面を構成する各フィールド画面の走査パターンは、その前後のフレーム画面の各フィールド画面の走査パターンとは異なったものとなっている。

【0051】例えば、PC側（以下、送信側と呼ぶ。）で、1フレーム画面毎にパターン選択コード、つまり各フレーム画面を構成するフィールド画面をどのような走査パターンでもって選択的に走査するかを示すコードを出力し、液晶ディスプレイ側（以下、受信側と呼ぶ。）では、その選択コードで選択されたランダムパターンで

もって、フレーム画面毎に各フィールド画面の走査を行う。

【0052】ここで、1つの選択コードに対応して、1つのフレーム画面に対する走査線選択順序パターン、つまりそのそれぞれのフィールド画面の水平走査線をどのような順序で選択的に走査するか、を設定する走査順序設定回路を、送信側と受信側とに同じ構成で用意した場合には、上記選択コードを垂直同期信号に同期させてバラレルのデジタルビデオ信号に乗せて、送信側から受信側に伝送することにより、受信側では、送信側での走査パターンと同一の走査パターンでもって、かつフレーム画面毎に異なる走査パターンでもって走査を行うことができる。

【0053】また、送信側だけに上記走査順序設定回路を持たせる場合は、フィールド画面の走査すべき水平走査線位置を指定するために、水平走査線位置を示す行番号コードを、水平同期信号に同期させてバラレルのデジタル信号線に乗せて、送信側から受信側に伝送することにより、受信側では、送信側での走査パターンと同一の走査パターンでもって、かつフレーム画面毎に異なる走査パターンでもって走査を行うことができる。

【0054】この送信側だけに走査順序設定回路を持たせる方式のメリットは、送信側と受信側の両方に、同一構成の走査線順序パターンの発生回路を備える必要がないので、送信側（ビデオ信号出力側）、言い換えるとP、C等の情報処理装置のメーカーと、受信側、つまり液晶表示装置のメーカーとが異なっても、方式だけ、例えば、同期信号の周期や行番号コードの伝送個数等を共通化、標準化すればよい点にある。

【0055】ところで、ビデオ信号の受信側としての現状の液晶パネルでは、その水平位置ドライバは、構成の簡素化のため、クロック信号により順次水平走査線の指定位置を送り出すシフト・レジスタ回路から構成されており、上記のように各フィールド画面の走査を、ランダムに水平走査線を選択して行う場合、該水平位置ドライバにより直接水平位置を指定することはできない。

【0056】従って、本発明では、行番号コードの入力により、水平走査線の位置指定をする方式のドライバ、またはカウント入力に従って指定行番号に対応する水平走査線位置がアクセスされる方式のドライバを用意する必要がある。なお、ここで、上記水平位置ドライバは、TFT等のアクティブ素子を用いたアクティブ・マトリクス・タイプの液晶パネルでは、ゲート・ドライバと呼ばれ、STN型、DSTN型等のパッシブ・マトリクス・タイプの液晶パネルではコモン・ドライバと呼ばれている。

【0057】また、上記のように1つのフレーム画面を構成する各フィールド画面の走査を、ランダムに走査線位置を指定して行う場合、液晶の分極を防ぐための極性反転方式としては、ライン反転方式で行う。

【0058】また、動作状態にある液晶パネルにおいては、同期信号やドット・クロックが停止すると、直流印加状態になり、液晶分子の分極等から表示機能が損なわれるなど、有害な状況を引き起こす。

【0059】これに対し、本発明では、これらの信号停止を検知する回路及び所定の順序で液晶パネルへの電力供給を停止する回路を設け、電力供給を制御するようにしている。特に、本発明では、液晶パネルを含む表示部が、CRTとは違い電源供給のOFF、ONに対して表示停止、表示開始の応答が比較的速い点に注目して、信号停止によって直接電力供給を停止制御するようにしている。

【0060】ただ、電力の供給、停止時の手順は、ICやLSIのラッチ・アップを避けるため、電源投入は信号入力より早く、また、電源停止は信号停止より遅くする必要がある。

【0061】以下、本発明の実施の形態について説明する。

【0062】(実施の形態1) 図1は本発明の実施形態1による液晶ディスプレイシステムの全体構成を示す図であり、図において、100は本実施形態の液晶ディスプレイシステムで、コンピュータやワークステーション等の情報処理装置101の表示出力をデジタルRGB信号として出力し、デジタル信号の伝送ケーブル103を介して液晶ディスプレイ(液晶表示装置)102に供給するよう構成されている。

【0063】上記情報処理装置101は、グラフィック・コントローラLSIからの液晶専用デジタル出力を、水平同期信号、垂直同期信号、及びドット・クロック等と共に、デジタル信号のまま送出する専用のビデオ信号出力部110を有している。このビデオ信号出力部110は、PCあるいはWSの本体に組み付けられている固定のマザーボード上、または本体に対して差し替え可能なビデオカード上に構築されている。

【0064】上記ビデオ信号出力部110及び伝送ケーブル103は、デジタル信号をバラレルでかつ低電圧信号で伝送するよう構成されている。通常、デジタル信号は、0Vと5Vの間の振幅を有しており、また最近では、0Vと3.3Vの間の振幅を有するものもあるが、上記伝送ケーブル103では、1.0~1.2V程度の直流バイアスに重畳させて、0Vと十分の数Vの間の振幅でデジタル信号を伝送するようにしてある。

【0065】上記液晶表示装置102は、該伝送ケーブル103から供給されるバラレルのデジタルRGB映像信号により、直接駆動される駆動回路を含む周辺回路と、該駆動回路からのデジタルビデオ信号により画像表示が行われる液晶パネル102aとを有している。

【0066】図2は、ビデオ信号出力部側の回路構成例を示している。

【0067】この回路構成では、表示データは、CPU

から、CPUバスを介してバスI/F制御回路111に供給され、さらにメモリ書込・読出制御回路112を通じて、メモリ・ブロック113へ書き込まれるようになっている。

【0068】上記メモリ書込・読出制御回路112は、指定されたデータのビット幅、メモリのブロック位置、ブロック長さ等に応じてメモリ・アドレス生成回路115を制御するようになっている。ここで、ビット幅はメモリ領域へ書き込み際のビット幅の意味で、例えば8ビット単位で書き込むのか、16ビット単位で書き込むのかを規定するものである。また、ブロック位置は、メモリ領域で占める上記指定されたデータのブロックにおける基準位置(例えば、最初にデータが書き込まれる位置)、ブロック長さは、メモリ領域上でのビット幅方向と垂直な方向におけるブロックの長さを意味している。

【0069】通常、メモリ・アドレス生成回路115は、書き込み時はCPUからの指定により、読み出し時は自動的にアドレスを昇順あるいは降順で生成するが、ここでは、第1の走査順序設定回路(1)117及び第2の走査順序指定回路(2)118により所定の順序でメモリのアドレスを生成するようになっている。

【0070】このアドレスは、上記表示画面の水平走査線位置を指定する行番号コード、あるいは上記1フレーム画面毎の、水平走査線位置の選択順序を規定する走査線順序選択パターンを示す選択コードとして、ビデオ信号・同期信号生成回路116に送られ、該行番号コードあるいは選択コードは、該回路116から、水平同期または垂直同期と同期してビデオ信号線に出力されるようになっている。この実施形態1では、上記アドレス信号を行番号コードとして送出する構成を採用している。

なお、114は上記各回路112、115~116にタイミング信号を供給するタイミング生成回路である。

【0071】図4(a)には、同期信号、行番号コード及びビデオ信号が上記ビデオ信号・同期信号生成回路116から出力されるタイミングの一例を示す。

【0072】ここで、ビデオ信号は4~8ビットのデジタル信号としてバラレルで送るようになっており、R、G、B3色分、ビデオ信号は12~24ビットのデジタル信号となる。また、行番号コードは、VGA画面に

対しては9ビット、WSクラスの表示画面に対しては11ビット程度の情報量があればよいので、水平同期信号に合わせて1組送れば足りる。ただし、ここでは、行番号コードは、図4(a)に示すように2組送るようになっており、1組は本来の、水平走査線位置を指定するための行番号コードとし、もう1組は、例えば、桁位置指定が必要な場合に用いる補助用の行番号コードとしている。この桁位置指定は、表示画面の水平方向における所定の位置を指定するものであり、表示画面の左端ではなく、水平方向の中間位置から走査を開始する際必要となるものである。

【0073】また、上記各走査順序設定回路117、118は、順序カウンタとランダム・パターンを書き込んだROM等で構成されている。なお、上記各設定回路117、118は、乱数を発生するポリノミアル・カウンタ等で構成することも可能である。

【0074】ここで、第1の走査順序設定回路117は、複数のランダムパターン群を有し、各フレーム毎に、そのフレーム画面に対応するランダムパターンを選択し、該パターンに従って、水平走査線位置に対応する行番号コードを出力するよう構成されている。また、第2の走査順序設定回路118は、上記第1の走査順序設定回路117における複数の異なるランダムパターン群の中からひとつを、1画面毎に選択するための選択コードを生成するよう構成されている。言い換えると、1つのランダムパターン群は、1つのフレーム画面に対応し、ランダムパターン群のうちの1つのランダムパターンが、1つのフレーム画面を構成する各フィールド画面で選択される水平走査線位置のパターンに対応している。

【0075】そして、上記タイミング生成回路114からのタイミング信号で、メモリ・ブロック113から読み出された表示データは、ビデオ信号・同期信号生成回路116でパラレルのデジタルビデオ信号に変換して出力されるようになっている。また、この回路116からは、水平同期信号、垂直同期信号、ドット・クロック信号を生成して出力するようになっている。

【0076】図5(a)は、本実施形態における受信側、つまり液晶ディスプレイ側の回路構成の一例を示す。

【0077】この回路構成では、ビデオ信号は、増幅器121aで所定の振幅まで増幅した後、表示制御回路122及び桁ドライバ群123を介して、液晶パネル102aに供給されるようになっている。また、同期信号、及びドット・クロック信号は、それぞれ増幅器121b、121cで増幅され、タイミング生成回路127に入力されるようになっており、ここでは、該同期信号等に基づいて必要なタイミング信号が生成される。また、上記同期信号及びドット・クロック信号の増幅出力は、同期・クロック検出回路130にも入力され、その検出信号によって電源制御回路140が動作するようになっている。ここで、増幅器による増幅の際に生じる各信号の位相ずれには、充分留意すべきである。状況によっては、ドット・クロック信号を基準に各信号の位相合わせを行うか、あるいはドット・クロックの位相調整を行うとよい。この位相調整のための回路は、信号の周波数が高い場合、単位遅延素子を必要個数接続して構成するのが一般的である。

【0078】また、本実施形態1のシステムでは、受信側には、走査順序設定回路を設けずに、行番号設定回路125を、ビデオ信号線に出力されている行番号コー

ドを、水平同期毎に取り込むよう構成し、このコードに従って、表示すべき水平走査線位置を行ドライバ群124で指定し、桁ドライバ群123にロードされたビデオ信号により液晶パネル102aを駆動するようにしている。

【0079】図6は上記同期・クロック検出回路130及び電源制御回路140の詳細な回路構成を示している。

【0080】同期信号及びクロック信号の有無の検出は、一定の時間間隔内に一定幅以上のパルス入力信号が幾つ来るかで行う方法、入力信号を積分回路を通して、積分値が所定の閾値を越えるか否かで判別する方法等があるが、ここでは、単位時間内に到来するパルス入力信号の個数により、同期信号及びクロック信号の有無を検出する構成を採用している。

【0081】上記同期・クロック検出回路130では、水平同期信号、垂直同期信号、及びドット・クロックは、それぞれ狭パルス幅除去回路131a、131b、131c、及びゲート132a、132b、132cを介して計数回路133a、133b、133cに供給されるようになっている。

【0082】上記狭パルス幅除去回路は、ノイズ状のパルス等を除去してこれによる誤動作を避けるために設けられている。また、計測時間の設定は、時間窓生成回路134からの制御信号により上記ゲート及び計数回路を制御して行う。ここで時間窓生成回路134は、タイマ回路、あるいはタイミング生成回路127からの信号を分周する分周回路から構成されている。

【0083】上記電源制御回路140では、上記各計数回路133a～133cの出力を入力とするAND回路141により、同期信号またはドット・クロック信号のいずれかひとつでも途切れたとき、OFF検出出力を生成し、いずれも連続して到来する状態に復帰したとき、ON検出出力を生成するようになっている。

【0084】また、上記OFF検出出力は、回路系電源スイッチ回路143aには直接、パネル系電源スイッチ回路143bには遅延回路142aを介して供給され、上記ON検出出力は、パネル系電源スイッチ回路143bには直接、回路系電源スイッチ回路143aには遅延回路142bを介して供給されるようになっている。そして、主電源144が、各電源スイッチ回路143a、143bを介して、回路系電源140a、パネル系電源140bに接続されている。

【0085】このような構成により、OFF検出出力によって回路系電源が遮断された後、一定の時間（例えば1秒）が経過した時、液晶パネル系の電源が遮断され、ON検出出力によって、先に液晶パネル系電源の供給を開始した後、一定時間が経過した時、回路系電源が供給されることとなる。

【0086】なお、増幅器及び検出回路系の電源は手動

でON、OFFし、ON時は同期信号、ドット・クロック信号の有無に拘わらず常に電源を供給するようにする。

【0087】(実施の形態2)図4(b)、図5(b)は本発明の実施の形態2による液晶ディスプレイシステムを説明するための図であり、この液晶ディスプレイシステムにて、同期信号、選択コード及びビデオ信号が上記ビデオ信号・同期信号生成回路116から出力されるタイミングの一例を示し、図5(b)は、このシステムで採用している液晶ディスプレイ側の回路構成の一例を示している。

【0088】この実施の形態2の液晶ディスプレイシステムでは、受信側(液晶ディスプレイ側)に、送信側(ビデオ信号出力部側)と同じ走査順序の走査表示方式を採用しており、受信側の回路構成も、送信側と同一構成の第1及び第2の走査順序設定回路128a、128bを有している。これらの走査順序設定回路を構成する回路素子としては、送信側のものと同様に順序カウンタとROM等を用いる。

【0089】また、行番号設定回路125aは、垂直同期毎に、ビデオ信号線に出力されている選択コードを取り込んで、第2の走査順序設定回路128bにより、第1の走査順序設定回路128aにおける複数のランダムパターン群の中から、1つのランダムパターン群を指定させるようになっている。また、行番号設定回路125aは、この指定されたランダムパターン群の各ランダムパターンに基づいて、対応するフレーム画面の各フィールド画面上の水平走査線位置を指定するようになっている。

【0090】その他の構成は、実施形態1の液晶ディスプレイシステムと同一である。

【0091】

【発明の効果】以上のように本発明によれば、信号の伝送レートを抑えて、特殊で高速な回路素子を使わず、安定で、見やすい表示を高精細度の液晶ディスプレイにより実現することができる効果がある。

【0092】また、情報処理装置側から液晶ディスプレイ側へ伝送されるビデオ信号の平行・デジタル信号化により、種々の追加情報をビデオ信号に付加でき、液晶ディスプレイ側での回路構成を簡略化することができる。

【0093】また、PC等では実使用時に、表示モードの切り替えなどによる同期信号の中断が起こるが、本発明では、同期信号の有無に応じて、液晶ディスプレイ側の主要な回路の電源を遮断するようにしているので、同期信号の中断によって液晶ディスプレイの表示品位が長時間、損なわれたままになること等を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の実施形態1による液晶ディスプレイ

システムの全体構成を示す図である。

【図2】上記実施形態1の液晶ディスプレイシステムにおけるビデオ信号出力部及びその周辺回路の構成を示す図である。

【図3】本発明の液晶ディスプレイシステムにおける表示画面の走査方法を説明するための図である。

【図4】本発明の液晶ディスプレイシステムにおける同期信号、ドット・クロック信号、及びビデオ信号のタイミングを説明するための図であり、図4(a)は実施形態1に対応するもの、図4(b)は実施形態2に対応するものである。

【図5】本発明の液晶ディスプレイシステムにおける、液晶ディスプレイ側の入力部、表示制御部、及び電源制御部の構成を説明するための図であり、図5(a)は実施形態1に対応するもの、図5(b)は実施形態2に対応するものである。

【図6】上記実施形態1及び2の液晶ディスプレイシステムにおける同期・クロック検出回路、及び電源制御回路の詳細な構成を示す図である。

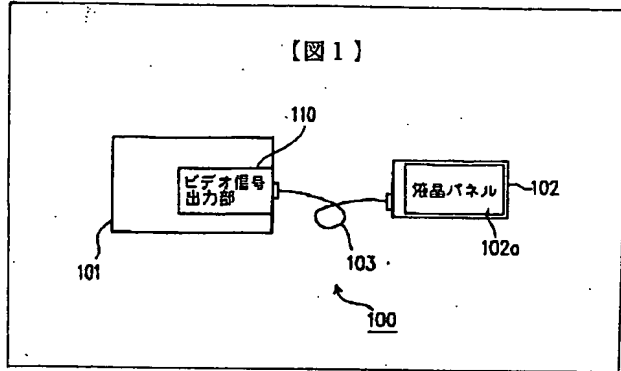
【符号の説明】

- 100 液晶ディスプレイシステム
- 101 情報処理装置
- 102 液晶表示装置(液晶ディスプレイ)
- 102a 液晶パネル
- 103 伝送ケーブル
- 110 ビデオ信号出力部
- 111 バスI/F制御回路
- 112 メモリ書込・読出制御回路
- 113 メモリ・ブロック
- 114 タイミング生成回路
- 115 メモリアドレス生成回路
- 116 ビデオ信号・同期信号生成回路
- 117, 128a 第1の走査順序設定回路
- 118, 128b 第2の走査順序設定回路
- 121a~121c 増幅器
- 122 表示制御回路
- 123 行ドライバ群
- 124 行ドライバ群
- 125, 125a 行番号設定回路
- 127 タイミング生成回路
- 130 同期・クロック検出回路
- 131a~131c 狭パルス幅除去回路
- 132a~132c ゲート
- 133a~133c 計数回路
- 134 時間窓生成回路
- 140 電源制御回路
- 140a 回路系電源
- 140b パネル系電源
- 141 AND回路
- 142a, 142b 遅延回路

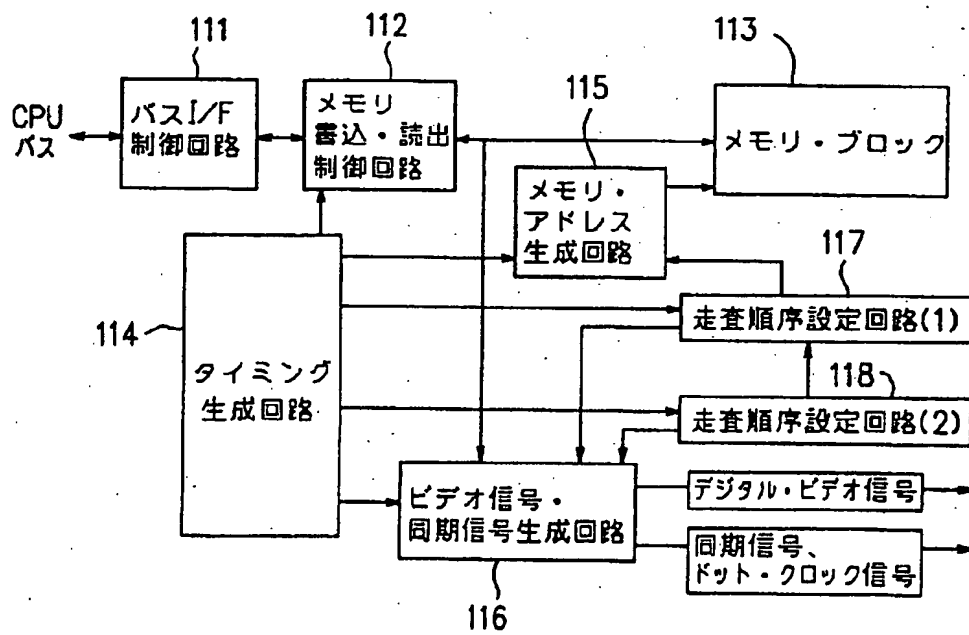
17
143a 回路系電源スイッチ回路
143b パネル系電源スイッチ回路

* 144 主電源

*



【図2】

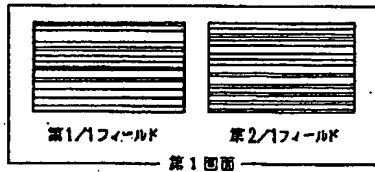


【図3】

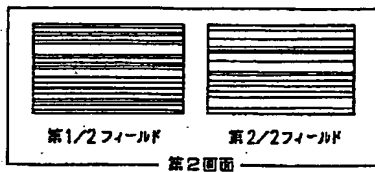
(a)

1 画面
(全水平走査線)

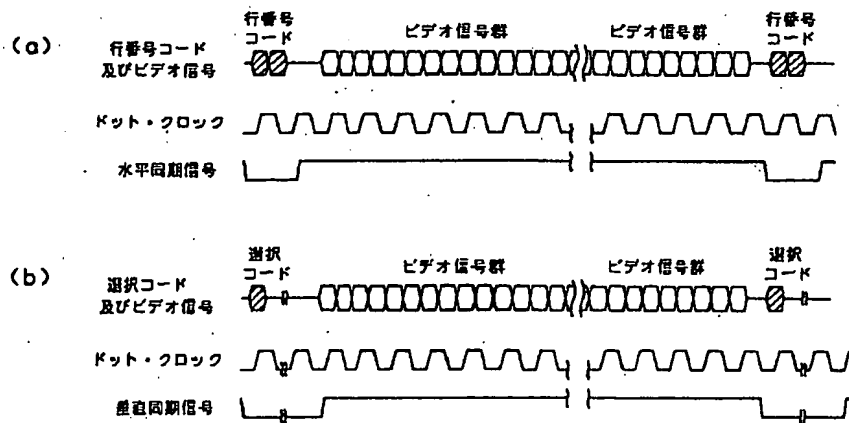
(b)



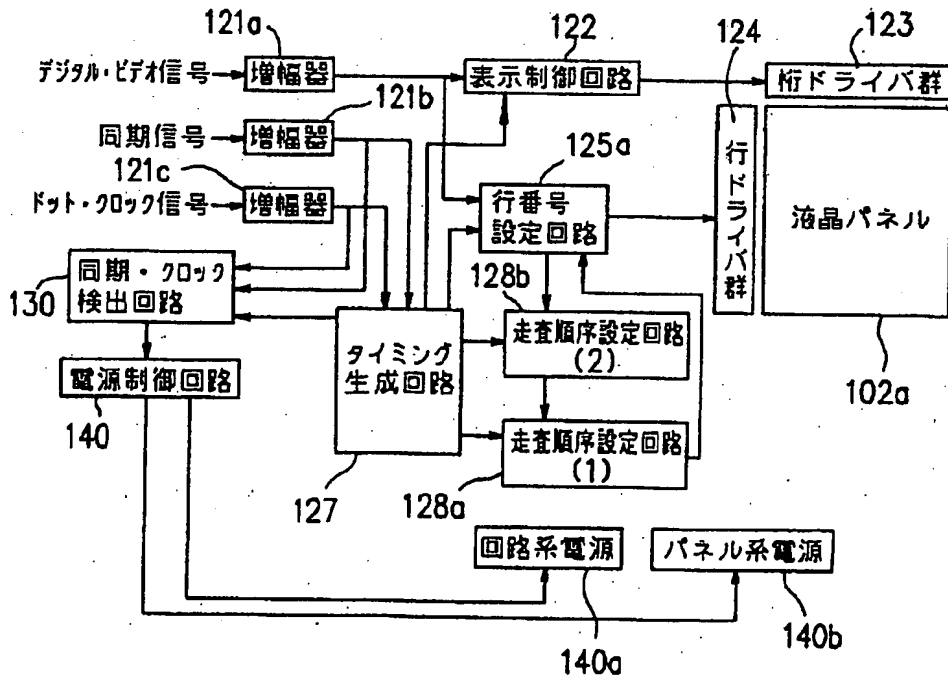
(c)



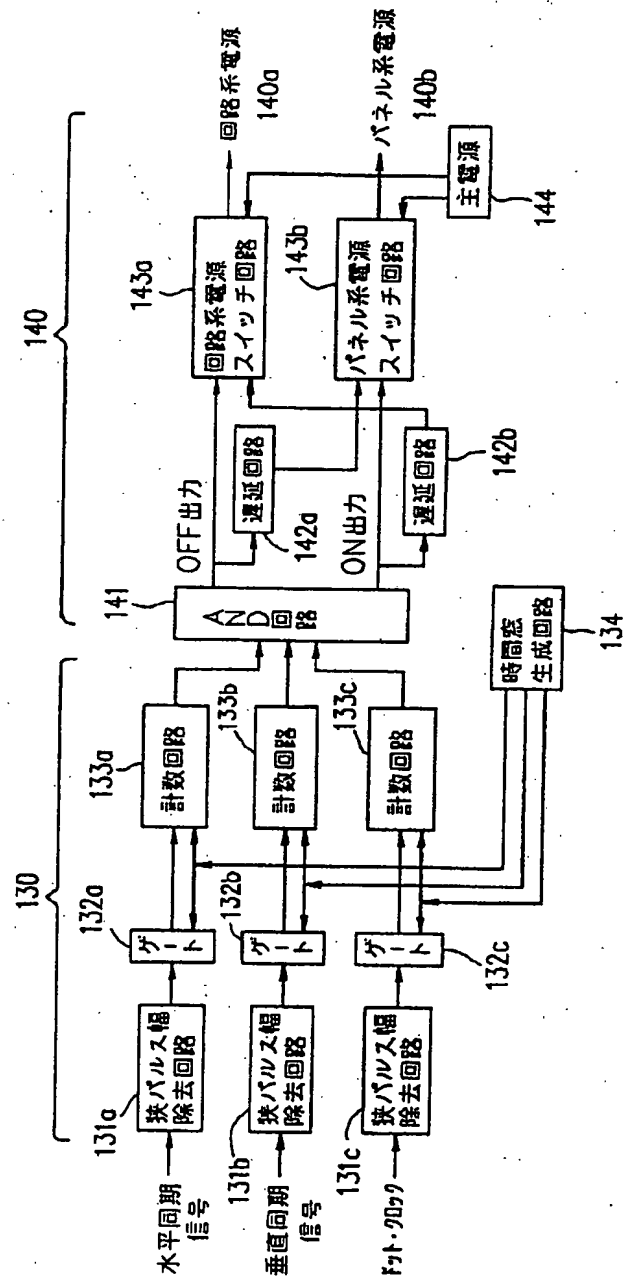
【図4】



(a)



【図6】



フロントページの続き

(72)発明者 堀野 真司
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内